

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

12000197

Basic Patent (No,Kind,Date): JP 6250224 A2 940909 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: SONY CORP

Author (Inventor): SATO TAKUO

IPC: *G02F-001/136; G02F-001/1335; G02F-001/1339; G02F-001/1345;

H01L-029/784

Derwent WPI Acc No: G 94-351596

JAPIO Reference No: 180642P000073

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 6250224	A2	940909	JP 9359668	A	930224 (BASIC)

Priority Data (No,Kind,Date):

JP 9359668 A 930224

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04578324 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **06-250224** [JP 6250224 A]

PUBLISHED: September 09, 1994 (19940909)

INVENTOR(s): SATO TAKUO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-059668 [JP 9359668]

FILED: February 24, 1993 (19930224)

INTL CLASS: [5] G02F-001/136; G02F-001/1335; G02F-001/1339; G02F-001/1345
; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: P, Section No. 1838, Vol. 18, No. 642, Pg. 73,
December 06, 1994 (19941206)

ABSTRACT

PURPOSE: To maintain the uniformity of a liquid crystal cell gap and to prevent light leakage by suppressing the hillock of the guard ring metallic layer provided in the active matrix type liquid crystal display device.

CONSTITUTION: This active matrix type liquid crystal display device has a first substrate 1, a second substrate 21 arranged opposite to this first substrate 1 and a liquid crystal layer 16 held between these first and second substrates 1 and 21. A display region including matrixtype pixel electrodes 11 and thin-film transistors for driving the respective pixel electrodes 11 is formed on the first substrate 1. Further, the surface of the first substrate 1 is provided with a guard ring metallic layer 9 enclosing this display region. Rugged level differences 17 are provided along the lower part of the guard ring metallic layer 9 to prevent the generation of the hillock. These rugged level differences 17 are formed at $\leq 0.5\text{mm}$ intervals. The rugged level differences 17 are provided at an interlayer insulating film 6 interposed between the first substrate 1 and the guard ring metallic layer 9.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-250224

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/1335		7408-2K	
	1/1339	5 0 0	8507-2K	
	1/1345		8707-2K	
			9056-4M	
			H 0 1 L 29/ 78	3 1 1 A
			審査請求 未請求 請求項の数 5	FD (全 6 頁) 最終頁に続く

(21)出願番号 特願平5-59668

(22)出願日 平成5年(1993)2月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐藤 拓生

鹿児島県国分市野口北5番地1号 ソニー
国分株式会社内

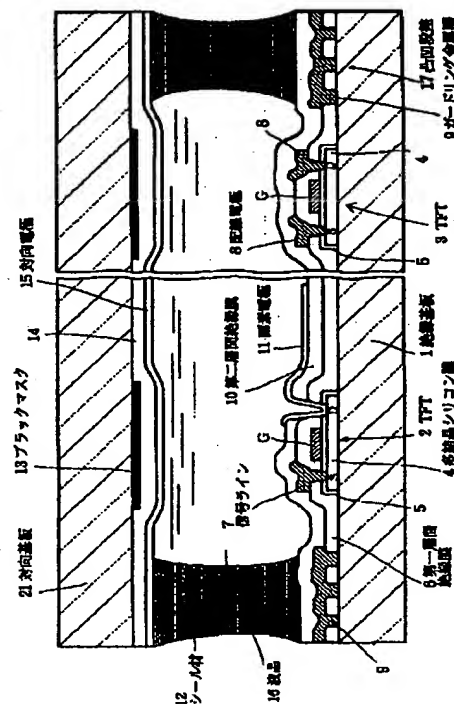
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 アクティブマトリクス型液晶表示装置に設けられるガードリング金属層のヒルロックを抑制し液晶セルギャップの均一性を維持するとともに光抜けを防止する。

【構成】 アクティブマトリクス型液晶表示装置は第一の基板1と、この第一の基板に対向配置された第二の基板21と、これら第一及び第二の基板間に保持された液晶層16とを有している。第一の基板1上には、マトリクス状の画素電極11と各画素電極11を駆動する薄膜トランジスタ2を含む表示領域が形成されている。さらに第一の基板1上に該表示領域を囲むガードリング金属層9が設けられている。このガードリング金属層9の下部に沿って凹凸段差17を設け、ヒルロックの発生を防止している。この凹凸段差17は0.5mm以下の間隔で形成されている。凹凸段差17は第一の基板1とガードリング金属層9の間に介在する層間絶縁膜6に設けられている。



【特許請求の範囲】

【請求項1】 第一の基板と、この第一の基板に対向配置された第二の基板と、これら第一及び第二の基板間に保持された液晶とを有し、前記第一の基板に、マトリクス状の画素電極と各画素電極を駆動する薄膜トランジスタとを含む表示領域を形成した液晶表示装置において、前記第一の基板上に該表示領域を囲む金属層を設けるとともに、該金属層の下部に沿って凹凸段差を設けた事の特徴とする液晶表示装置。

【請求項2】 前記凹凸段差は、0.5mm以下の間隔で形成されている事の特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記凹凸段差は、該第一の基板と該金属層の間に介在する層間絶縁膜に設けられている事の特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記金属層は、第一及び第二の基板を互いに接合するシール材に整合して設けられている事の特徴とする請求項1記載の液晶表示装置。

【請求項5】 前記金属層は、外部接続用の引出し電極と同一材料で形成されている事の特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、各々スイッチングトランジスタを有する複数の画素がマトリクス配列したアクティブマトリクス型の液晶表示装置に関する。より詳しくは、表示領域を囲むガードリング構造に関する。

【0002】

【従来の技術】 本発明の背景を明らかにする為、図3を参照して従来のアクティブマトリクス型液晶表示装置の構造を簡潔に説明する。図示する様に、ガラス基板100上には画素を駆動する為の薄膜トランジスタ(TFT)101と、TFT101に選択信号を供給する為のゲートライン102、同じく画像信号を供給する為の信号ライン103、画素電極104等が形成されている。さらに、TFT101及び画素電極104を含む表示領域を囲む様にガードリング金属層105が形成されている。このガラス基板100には所定の間隙を介して対向基板106がシール材107により接合されている。対向基板106の内表面には対向電極108が形成されている。下側のガラス基板100と上側の対向基板106との間には液晶層109が保持されており、例えばツイスト配向されたネマティック液晶からなる。シール材107は前述したガードリング金属層105と整合した状態で両基板100、106の周辺部に沿って配設されている。

【0003】 金属層105は内側の表示領域を取り囲み、ガードリングとしてTFT101を電氣的に保護する。加えて、シール材107と整合させる事によりガラス基板100の表面に存在する配線段差等を吸収し平坦

化させる事により液晶層109の厚みを均一にしている。即ち、ガードリング金属層105は製造工程における静電ダメージからTFT等を保護するとともに、液晶セルギャップを均一に制御する機能を有し、歩留りと表示画質を改善する事ができる。さらに、このガードリング金属層105は遮光層としても機能する。

【0004】

【発明が解決しようとする課題】 しかしながら上述した従来構造の場合、ガードリングは比較的平坦なガラス基板100表面上に成膜された金属層105からなる為、後工程等で熱処理を加えると所謂ヒルロックが発生し易いという課題がある。このヒルロックは金属層105を構成している物質のエレクトロマイグレーションやストレスマイグレーションに起因しており、金属粒界面部に突起形状を有するヒルロックが発生する。ヒルロックが発生すると金属層105表面の平坦性が損なわれる為シール材107の厚みに変動が生じ液晶セルギャップ不良の原因となる。又、場合によってはこのヒルロックにより金属層105の遮光性が損なわれ、所謂光抜けの原因となる。ガードリングの光抜けは画素電極等を含む表示領域から離れている為表示画像に直接影響はないが、バックライト等を組み込んだ場合表示領域周囲からの光抜けは表示品質を低下させてしまう。このヒルロックの発生は特に金属層105の構成材料としてアルミニウムを採用した時に大きな問題となる。金属アルミニウムは400℃程度の比較的低温加熱処理でも容易にヒルロックが発生し易い。

【0005】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明はガードリング金属層に対して熱処理を加えてもヒルロックの発生を抑制でき、液晶セルギャップ不良や光抜け発生のない液晶表示装置を提供する事を目的とする。かかる目的を達成する為以下の手段を講じた。即ち、本発明にかかる液晶表示装置は、基本的な構成要素として、第一の基板と、この第一の基板に対向配置された第二の基板と、これら第一及び第二の基板間に保持された液晶とを有する。前記第一の基板上には、マトリクス状の画素電極と各画素電極を駆動する薄膜トランジスタとを含む表示領域が形成されている。本発明の特徴事項として、前記第一の基板上に該表示領域を囲む金属層を設けるとともに、該金属層に沿ってその下層に凹凸段差を設けるという手段を講じた。好ましくは、前記凹凸段差は0.5mm以下の間隔で形成されている。この凹凸段差は例えば該第一の基板と該金属層の間に介在する層間絶縁膜に設けられている。又、前記金属層は第一及び第二の基板を互いに接合するシール材に整合して設けられている。さらに前記金属層は外部接続用の引出し電極と同一材料で形成されている。

【0006】

【作用】 本発明によれば、表示領域を囲むガードリング

金属層の下部に沿って例えば0.5mm以下の間隔で凹凸段差が設けられている。この凹凸段差が存在すると金属層を構成する物質のマイグレーションが起りにくくなる為、ヒルロックの発生が抑制される。この為、シール材がガードリング金属層と整合して配設されていても金属層表面の平坦性が維持される為液晶セルギャップ不良が少なくなる。又、ヒルロックに起因していた光抜けも改善できる。これに対して、従来の様にガードリング金属層が比較的平坦なガラス基板表面に渡って広い面積で配設されるとマイグレーションが起り易くなる為ヒルロックが多発する。

【0007】

【実施例】以下図面を参照して本発明にかかる液晶表示装置の好適な実施例を詳細に説明する。図1は本発明にかかるアクティブマトリクス型液晶表示装置の基本的な構成を示す模式的な断面図である。図示する様に、ガラス又は石英等からなる絶縁基板1上には薄膜トランジスタ(TFT)が集積形成されている。図を見易くする為、2個のTFT2、3のみが示されている。一方のTFT2は対応する画素をスイッチング駆動する為に用いられ、他方のTFT3は画素のマトリクスアレイを順次選択駆動する為の駆動回路を構成する。個々のTFTは所定の形状にパタニングされた多結晶シリコン膜4により構成されている。この多結晶シリコン膜4は、例えばLP-CVD法により50nmの厚みで成膜される。この多結晶シリコン膜4上に、 SiO_2 からなるゲート絶縁膜5を介して、ゲート電極Gが形成されている。なお画素TFT2のゲート電極Gはゲートライン(図示せず)から延設されている。これらゲート電極G及びゲートラインはLP-CVD法により同時に成膜され、不純物をドーブした厚み350nmの多結晶シリコン膜からなる。その上には第一層間絶縁膜6が被覆されている。この第一層間絶縁膜6は、例えばAP-CVD法により成膜された600nmの厚みを有するPSG膜からなる。さらにその上にはスパッタリングにより例えば600nmの厚みでアルミニウム膜が成膜される。このアルミニウム膜は所定の形状にパタニングされ、信号ライン7、配線電極8、ガードリング金属層9等になる。信号ライン7は第一層間絶縁膜6に設けられたコンタクトホールを介して画素TFT2のソース領域Sに電気接続している。又配線電極8は同じく第一層間絶縁膜6に設けられたコンタクトホールを介して駆動回路TFT3のソース領域S及びドレイン領域Dに電気接続している。アルミニウム膜の上には第二層間絶縁膜10が成膜されている。この第二層間絶縁膜10は例えばAP-CVD法により400nmの厚みで堆積されたPSG膜からなる。さらにその上にはスパッタリングによりITO等からなる透明導電膜が150nmの厚みで成膜される。この透明導電膜は所定の形状にパタニングされ画素電極11となる。画素電極11は第二層間絶縁膜10及び第一層間絶縁膜6に設け

られたコンタクトホールを介して画素TFT2のドレイン領域Dに電気接続している。

【0008】絶縁基板1に対して所定の間隙を介し対向基板21が対向配置されている。この対向基板21はシール材12により絶縁基板1に接合されている。シール材12はスクリーン印刷等によりガードリング金属層9と整合する様に配設されている。対向基板21の内表面には所定の形状にパタニングされたブラックマスク13と、絶縁膜14を介して重ねられた全面対向電極15が形成されている。ブラックマスク13はTFT2やTFT3を遮光する様にパタニング形成されている。対向基板21側に形成されたブラックマスク13と絶縁基板1側に形成されたガードリング金属層9とにより画素電極11以外の領域が被覆され所望の遮光構造が得られる。最後に、対向基板21と絶縁基板1との間に液晶層16が封入保持されている。この液晶層16は例えばツイスト配向されたネマティック液晶からなる。

【0009】本発明の特徴要素となるガードリング金属層9は、TFT2や画素電極11を含む表示領域を取り囲む様に設けられている。前述した様にガードリング金属層9は信号ライン7や配線電極8と同時にパタニングされ、厚み600nmのアルミニウムからなる同一材料で構成されている。ガードリング金属層9は電氣的に内側のTFT2、TFT3を保護するとともに、シール材12と整合して接着領域の平坦化を図っている。ガードリング金属層9の下部に沿って凹凸段差17が設けられている。本例ではこの凹凸段差17は絶縁基板1と金属層9との間に介在する第一層間絶縁膜6に設けられている。この凹凸段差17を介在させる事によりアルミニウムのマイグレーションを抑止しヒルロックの発生を防いでいる。

【0010】図2は、図1に示したアクティブマトリクス型液晶表示装置の平面図である。図示する様に、ガードリング金属層9で囲まれた表示領域18内には、画素電極11がマトリクス状に配列しており個々の液晶画素を構成する。各画素電極11には画素TFT2が接続されている。各画素TFT2のゲート電極にはゲートライン19が接続されており、同じくソース電極には信号ライン7が接続されている。複数のゲートライン19は垂直駆動回路22に接続される一方、複数の信号ライン7は水平駆動回路23に接続される。垂直駆動回路22はゲートライン19を介して画素TFT2を線順次で選択するとともに、水平駆動回路23は信号ライン7を介して、選択された画素TFT2を通じ対応する画素電極11に画像信号を供給する。これら垂直駆動回路22、水平駆動回路23は前述した様にTFT3を構成要素とする集積回路である。

【0011】絶縁基板1の周辺部には外部接続用の引出し電極24も形成されておりガードリング金属層9と交差して垂直駆動回路22や水平駆動回路23と接続して

いる。この引出し電極24はガードリング金属層9と同一のアルミニウム膜で構成されている。理解を容易にする為引出し電極24とガードリング金属層9の交差部の拡大バタン形状を示す。図示する様に、ガードリング金属層9の帯は部分的に除去されており、この部分に引出し電極24が延在している。分離した金属層9は例えば所定の形状にパタニングされた多結晶シリコン膜25により互いに接続されている。この多結晶シリコン膜25はゲート電極やゲートラインと同時に形成され、金属層9や引出し電極24とは第一層間絶縁膜により互いに絶縁されている。この引出し電極24は外部への電気接続をとる為に垂直駆動回路22や水平駆動回路23からシール材の外に向って配線されている。従って、この引出し電極24の中間部はシール領域を跨ぐ事になる。本構造ではシール領域において引出し電極24の両側に近接してガードリング金属層9が設けられている。従ってシール領域全体を略平坦化する事が可能である。即ち、引出し電極24とガードリング金属層9は同一膜厚のアルミニウムで形成されており段差は除かれている。

【0012】ガードリング金属層9の帯に沿って凹凸段差17が設けられている。本例ではこの凹凸段差17は金属層9の下部に位置する第一層間絶縁膜に設けられた100 μ m角の穴からなる。個々の穴は100 μ m間隔で配置している。この様な穴は第一層間絶縁膜の選択的エッチングにより形成できる。かかる凹凸段差17によりアルミニウム膜内におけるストレスが緩和されマイグレーションが起りにくくなる。例えばアルミニウム膜堆積後の工程で400 $^{\circ}$ C程度の熱処理が加わっても、ガードリング領域において全くアルミニウムのヒルロックは発生しない。この様に本発明によれば、金属からなるガードリングを採用して熱処理を加えてもヒルロックの発生を抑制でき、液晶セルギャップの不良や光抜けの発生がない液晶表示装置を提供する事ができる。

【0013】一方、比較例としてアルミニウムからなるガードリング金属層の下部に位置する第一層間絶縁膜に穴を開けなかった以外は、上記の実施例と同様にして液晶表示装置を作成した。この場合、ガードリング金属層には後工程の熱処理においてヒルロックが多発した。この為液晶セルギャップ不良とガードリング部における光抜けにより良品は殆ど得られず歩留りは非常に低かった。

【0014】なお、上述の実施例においては、ガードリング金属層として600nmの厚みを有するアルミニウム膜を用いたが、本発明はこれに限られるものではない。十分に低抵抗で且つ外部への引出し電極と同一材料であれば良い。ガードリング金属層の遮光性は可視光領域(400nmから700nm)において透過率が1%以下好ましくは0.1%以下であれば良い。材料としてはアルミニウム(Al)の他に、Cr, Ni, Ta, Ti, W, Cu, Mo, Pt, Pd等の金属、及びこれらの合

金、シリサイド等を用いる事ができる。厚みは各々の材料により所定の遮光性を満足できれば良く、一般に50nm以上である。

【0015】又、本実施例においては図2に示した様に、ガードリング金属層の下部に設けられた凹凸段差の形状は、100 μ m角の四角い穴を100 μ m間隔で並べたが、本発明はこれに限られるものではない。一般に0.5mm以下の間隔で凹凸段差を配設できればいかなる形状でも良い。仮に、0.5mm以上の間隔に設定するとマイグレーション抑制効果が低下する。他の例としては、500 μ m角の穴でも良いし、50 μ m間隔のストライプ状溝でも良い。さらには100 μ m径の円形開口でも良い。

【0016】なお本実施例においてはTFTの半導体層とゲート電極及びゲートラインは多結晶シリコンを用い、ゲート絶縁膜はSiO₂を用い、信号ラインはアルミニウムを用いているが、本発明はこれに限られるものではない。TFTの半導体層は例えばアモルファスシリコンを用いても良い。ゲート電極及びゲートラインは例えばシリサイド、ポリサイド、又金属としてはTa, Al, Cr等を用いても良い。ゲート絶縁膜は例えばSiN、酸化タンタル等を用いる事ができる。信号ラインは例えばTa, Cr, Mo, Ni等を用いる事ができる。加えて、本発明は薄膜トランジスタとしてプレーナ型、正スタガ型又は逆スタガ型の何れを用いたアクティブマトリクス型液晶表示装置にも適用可能である事は勿論である。

【0017】

【発明の効果】以上説明した様に、本発明によれば、表示領域を囲むガードリング金属層の下部に沿って少なくとも0.5mm以下の間隔で凹凸段差が設けられている。この凹凸段差によりストレスの緩和が起る為マイグレーションが起りにくくなりヒルロックの発生が抑制される。この為、シール材との界面におけるガードリング金属層の平坦性が維持でき液晶セルギャップ不良の発生が防げる。さらには従来問題となっていたヒルロックに起因するガードリング金属層の光抜けが大きく改善される。ガードリング金属層を形成した後熱処理を加えてもヒルロックは発生せず液晶セルギャップの不良や光抜けのない液晶表示装置を提供する事ができる。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型液晶表示装置の構成を示す断面図である。

【図2】図1に示したアクティブマトリクス型液晶表示装置の平面図である。

【図3】従来のアクティブマトリクス型液晶表示装置の構成を示す断面図である。

【符号の説明】

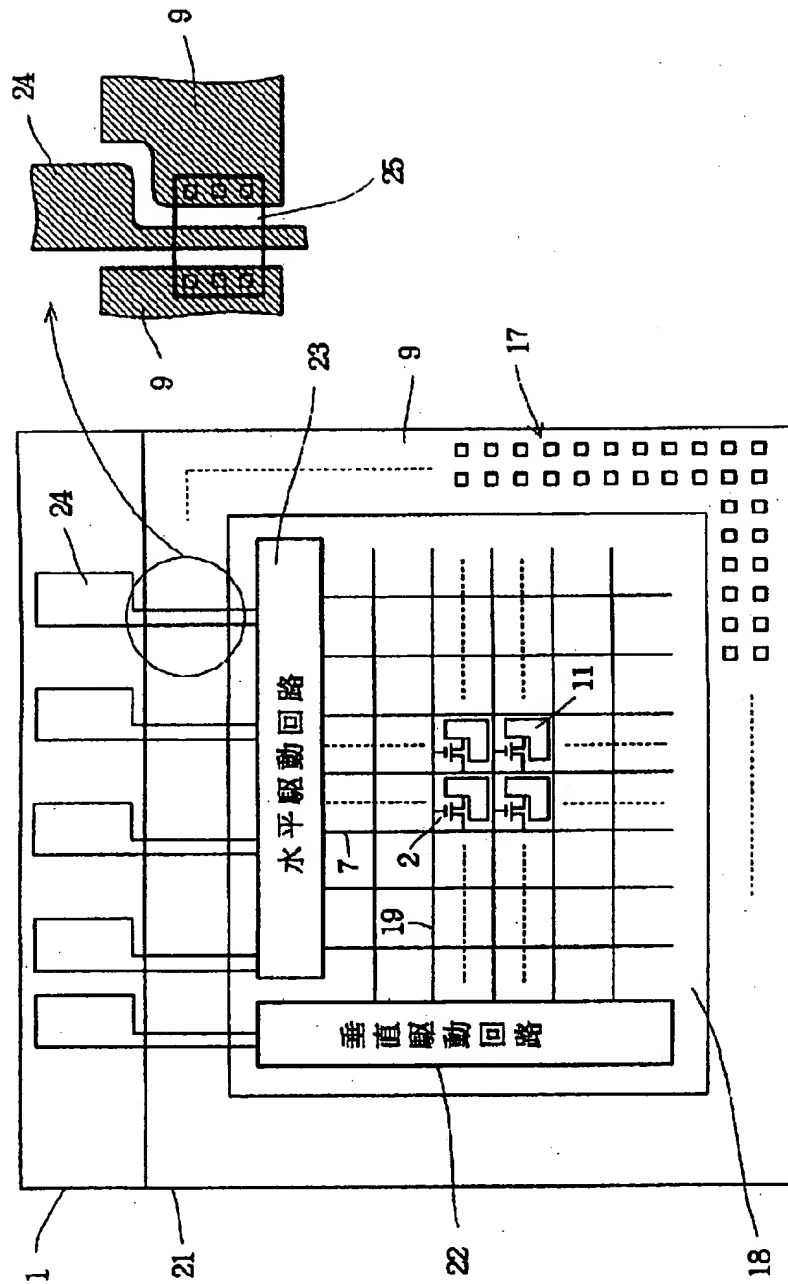
- 1 絶縁基板
- 2 TFT

- 15 対向電極
16 液晶
17 凹凸段差
18 表示領域
19 ゲートライン
21 対向基板
22 垂直駆動回路
23 水平駆動回路
24 引出し電極
25 多結晶シリコン膜

The figure consists of two cross-sectional diagrams of semiconductor devices. Both diagrams show a substrate (1) at the base. In the left diagram, there is a first insulating layer (6) on top of the substrate, followed by a second insulating layer (10). A gate electrode (8) is formed on the second insulating layer. A signal line (7) is located above the gate electrode. A black mask (13) is positioned above the signal line. A counter electrode (15) is located at the top. Other components include a TFT (2), a polycrystalline silicon film (4), and a convex ring metal (17). The right diagram shows a similar structure but with a different gate electrode configuration (8) and a convex ring metal (17).

This cross-sectional view shows a multi-layered structure. A central cavity is formed by a top layer (108) and a bottom layer (100). The bottom layer (100) features a central raised component (101) with a top surface (102) and side walls (103). A horizontal layer (104) is positioned below the central component (101). The cavity is flanked by two side regions (107) which are filled with a material (109) and bounded by a layer (105) at the bottom.

【図2】



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784